

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

16803640

5 Basic Patent (No,Kind,Date): EP 1094438 A1 20010425 <No. of Patents: 002>
ACTIVE MATRIX DISPLAY APPARATUS AND DRIVING METHOD THEREFOR (English;
French; German)

Patent Assignee: PIONEER CORP (JP)

Author (Inventor): ISHIZUKA SHINICHI (JP); FUKUDA YOSHINORI (JP); OCHI

10 HIDEO (JP); MIYAGUCHI SATOSHI (JP); TSUCHIDA MASAMI (JP)

Designated States : (National) DE; FR; GB

IPC: *G09G-003/36;

Derwent WPI Acc No: *G 01-383184; G 01-383184

Language of Document: English

15 Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
EP 1094438	A1	20010425	EP 2000122614	A	20001017	(BASIC)
JP 2001117534	A2	20010427	JP 99299082	A	19991021	

Priority Data (No,Kind,Date):

20 JP 99299082 A 19991021

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

25

06890025 **Image available**

ACTIVE MATRIX TYPE DISPLAY DEVICE AND DRIVING METHOD THEREOF

PUB. NO.: 2001-117534 [JP 2001117534 A]

30 PUBLISHED: April 27, 2001 (20010427)

INVENTOR(s): ISHIZUKA SHINICHI

FUKUDA YOSHINORI

OCHI HIDEO

MIYAGUCHI SATOSHI

35 TSUCHIDA MASAMI

APPLICANT(s): PIONEER ELECTRONIC CORP

APPL. NO.: 11-299082 [JP 99299082]

FILED: October 21, 1999 (19991021)

INTL CLASS: G09G-003/30; G09F-009/30; H05B-033/08; H05B-033/14

40

ABSTRACT

PROBLEM TO BE SOLVED: To provide an active matrix type display device capable of displaying a picture whose reliability is high and which is of satisfactory quality and a driving method thereof.

SOLUTION: This display device has a reverse voltage applying part for applying a reverse voltage having a polarity reverse to that of a voltage which is applied to light emitting elements at the time of light emissions of the elements. The reverse voltage is applied to them at the synchronizing timing of an input video signal or in response to the supply of a power to a power source part. Or, a reverse voltage applying period is set in a period when the video is not displayed and a driving circuit driving prescribed light emitting elements is brought into conduction in this reverse voltage applying period and also the reverse voltage is applied to the prescribed light emitting elements.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-117534
(P2001-117534A)

(43) 公開日 平成13年4月27日 (2001. 4. 27)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 C 5 C 0 9 4
H 0 5 B 33/08		H 0 5 B 33/08	
33/14		33/14	A

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号 特願平11-299082

(22) 出願日 平成11年10月21日 (1999. 10. 21)

(71) 出願人 000005016

バイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72) 発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 バ
イオニア株式会社総合研究所内

(72) 発明者 福田 喜教

埼玉県鶴ヶ島市富士見6丁目1番1号 バ
イオニア株式会社総合研究所内

(74) 代理人 100079119

弁理士 藤村 元彦

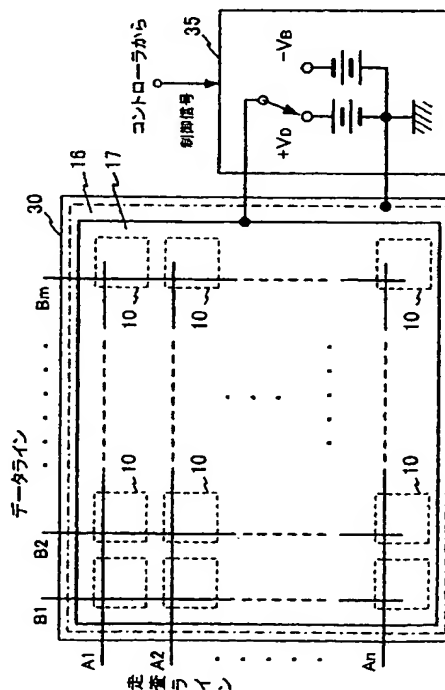
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置及びその駆動方法

(57) 【要約】

【目的】 信頼度が高く良好な画像表示が可能なアクティブマトリクス型の表示装置及びその駆動方法を提供する。

【解決手段】 発光素子の発光時に印加される電圧とは逆方向の電圧である逆電圧を発光素子に印加する逆電圧印加部を有する。上記逆電圧は入力映像信号の同期タイミング又は電源部への電源投入に応答して印加される。あるいは、映像を表示しない期間に逆電圧印加期間を設定し、当該逆電圧印加期間において所定の発光素子を駆動する駆動回路を導通せしめるとともに当該所定の発光素子に逆電圧を印加する。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、前記複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に電力を供給する電源部と、を有するアクティブマトリクス型の表示装置であって、前記発光素子の発光時に印加される電圧とは逆方向の電圧である逆電圧を前記発光素子に印加する逆電圧印加部を有することを特徴とする表示装置。

【請求項2】 前記逆電圧は前記入力映像信号の同期タイミングに対応する単位フレーム毎に印加されることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記表示制御部はタイマを有し、前記逆電圧は前記入力映像信号の同期タイミング及び前記タイマの出力に基づいて印加されることを特徴とする請求項1又は2に記載の表示装置。

【請求項4】 前記逆電圧は前記電源部への電源投入に応答して印加されることを特徴とする請求項1ないし3のいずれか1に記載の表示装置。

【請求項5】 前記複数の発光素子は有機EL素子であることを特徴とする請求項1ないし4のいずれか1に記載の表示装置。

【請求項6】 マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、前記複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に電力を供給する電源部と、を有するアクティブマトリクス型表示装置の駆動方法であって、前記発光素子の発光時に印加される電圧とは逆方向の電圧である逆電圧を前記発光素子に印加する逆電圧印加ステップを有することを特徴とする駆動方法。

【請求項7】 前記逆電圧印加ステップは、前記入力映像信号の同期タイミングに対応する単位フレーム毎に実行されることを特徴とする請求項6に記載の駆動方法。

【請求項8】 前記入力映像信号の同期タイミングからの経過時間を計時する計時ステップを有し、前記逆電圧印加ステップは前記経過時間に基づいて実行されることを特徴とする請求項6又は7に記載の駆動方法。

【請求項9】 前記逆電圧印加ステップは前記電源部への電源投入に応答して実行されることを特徴とする請求項6ないし8のいずれか1に記載の駆動方法。

【請求項10】 前記複数の発光素子として有機EL素子を用いることを特徴とする請求項6ないし9のいずれか1に記載の駆動方法。

【請求項11】 マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、前記複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に電力を供給する電源部と、を有する

アクティブマトリクス型の表示装置であって、逆電圧を印加する逆電圧印加期間を設定する設定部と、前記逆電圧印加期間において、前記複数の発光素子のうちの所定の発光素子を駆動する駆動回路を導通せしめるとともに前記所定の発光素子に対して発光時に印加される電圧とは逆方向の電圧である逆電圧を印加する逆電圧印加部を有することを特徴とする表示装置。

【請求項12】 前記逆電圧印加期間は、前記入力映像信号に関する表示を行わない期間に設定されることを特徴とする請求項11に記載の表示装置。

【請求項13】 マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、前記複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて前記駆動回路を制御する表示制御部と、前記複数の発光素子に電力を供給する電源部と、を有するアクティブマトリクス型表示装置の駆動方法であって、逆電圧を印加する逆電圧印加期間を設定するステップと、

前記複数の発光素子のうちの所定の発光素子を駆動する駆動回路を導通せしめるステップと、前記所定の発光素子に対して発光時に印加される電圧とは逆方向の電圧である逆電圧を印加するステップと、を有することを特徴とする駆動方法。

【請求項14】 前記逆電圧印加期間は、前記入力映像信号に関する表示を行わない期間に設定されることを特徴とする請求項13に記載の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型表示装置、特に、有機エレクトロルミネセンス素子等の発光素子を有するアクティブマトリクス型表示パネルを用いた表示装置及びその駆動方法に関する。

【0002】

【従来の技術】発光素子をマトリクス状に配置して構成される発光表示パネルを用いたマトリクス型ディスプレイの開発が広く進められている。このような表示パネルに用いられる発光素子としては、例えば、有機材料を発光層として用いたエレクトロルミネセンス（EL）素子がある。かかる有機EL素子においては、素子を流れる電流によってその発光輝度を制御することができる。有機EL素子を用いた表示パネルとして、有機EL素子を単にマトリクス状に配置した単純マトリクス型表示パネルと、マトリクス状に配置した有機EL素子の各々にトランジスタからなる駆動素子を加えたアクティブマトリクス型表示パネルがある。アクティブマトリクス型表示パネルは単純マトリクス型表示パネルに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面ディスプレイや高精細度ディスプレイに適している。

【0003】有機EL素子（以下、単にEL素子と称す

る)は、図1にその等価回路を示すように、ダイオード特性を有する発光エレメントEと、これに並列に接続された静電容量Cとで表すことができる。すなわち、発光エレメントEに電流が順方向に流れる場合にのみE-L素子は発光する。また、図2に示されるように、E-L素子は、透明基板1上に陽極(透明電極)2、有機材料を含む発光層3、陰極(金属電極)4が順次積層されて形成される。陽極2に駆動電流源5をE-L素子の順方向に接続し、陰極4をアースに接続すると発光層3に駆動電流が流れE-L素子は発光する。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来のアクティブマトリクス型の発光ディスプレイにおいて、形成された発光層に厚さの薄い箇所がある場合、又は発光層が部分的に存在せず陽極と陰極が接触する場合には、陰極及び陽極間にリーク電流が発生し、発光不良をきたすという問題があった。すなわち、発光層の薄い箇所は他と比べて電気的抵抗が小さく駆動電流がその箇所に集中するので、他の正常な発光層に流れる駆動電流が減少し発光輝度が低下するのである。このような発光層の形成不良部に生じる電流集中は他の発光素子に対しても影響を及ぼし、ディスプレイに表示される画像は見苦しいものとなる。

【0005】本発明の目的は、上記した問題を解決し、信頼度が高く良好な画像表示が可能なアクティブマトリクス型の表示装置を提供することにある。

【0006】

【課題を解決するための手段】本発明による表示装置は、マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて駆動回路を制御する表示制御部と、複数の発光素子に電力を供給する電源部と、を有するアクティブマトリクス型の表示装置であって、発光素子の発光時に印加される電圧とは逆方向の電圧である逆電圧を発光素子に印加する逆電圧印加部を有することを特徴としている。

【0007】本発明の特徴として、上記逆電圧は入力映像信号の同期タイミングに対応する単位フレーム毎に印加される。本発明の他の特徴として、上記表示制御部はタイマを有し、逆電圧は入力映像信号の同期タイミング及びタイマの出力に基づいて印加される。更に、本発明の他の特徴として、上記逆電圧は電源部への電源投入にตอบสนองして印加される。

【0008】本発明による表示装置は、マトリクス状に配置された走査線及びデータ線の交差位置に配された複数の発光素子と、複数の発光素子の各々を駆動する駆動回路と、入力映像信号に応じて駆動回路を制御する表示制御部と、複数の発光素子に電力を供給する電源部と、を有するアクティブマトリクス型の表示装置であって、逆電圧を印加する逆電圧印加期間を設定する設定部と、

逆電圧印加期間において、上記複数の発光素子のうちの所定の発光素子を駆動する駆動回路を導通せしめるとともに当該所定の発光素子に対して発光時に印加される電圧とは逆方向の電圧である逆電圧を印加する逆電圧印加部を有することを特徴としている。

【0009】本発明の他の特徴として、逆電圧印加期間は入力映像信号に関する表示を行わない期間に設定される。

【0010】

【発明の実施の形態】本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下の説明において用いられる図において、実質的に同等な部分には同一の参照符を付している。上述したように、短絡によるリーク電流は発光層の厚さの薄い箇所において発生するが、本出願の発明者は、発光素子に発光時とは逆方向の電圧を印加することによって、この箇所を短絡しない状態にできることを見出した。本発明はこの現象に基づいてなされたものである。まず、この現象について図を参照しつつ説明する。

【0011】図3ないし図5に示すように、発光素子は透明基板1上に陽極(透明電極)2、有機材料を含む発光層3、陰極(金属電極)4が順次積層されて構成される。また参照符3Aは発光層3の層厚の薄い層厚不良部を示している。上述したように発光素子はダイオード特性を有しているため、正常な発光素子に対して発光時とは逆方向の電圧を印加しても電流は流れない。ところが、低抵抗の層厚不良部3Aが存在すると、層厚不良部3Aに集中して電流が流れるため、層厚不良部3Aには発光時よりも過大なリーク電流が流れる。

【0012】その結果、図4に示すように、層厚不良部3A及びその周辺の発光層3は酸化され、その膨張圧によって陰極4は陽極2から剥離して膨れ上がる。さらに膨張が進むと陰極4は破壊し、図5に示すように、陰極4の残存部は陽極2から離れる方向に屈曲する。図4又は図5の状態の場合、陰極4が湾曲もしくは破断屈曲した箇所は発光はしない。しかし、陰極4と陽極2が分離されているためにリーク電流も発生しない。従って、この破断部を除く発光素子の他の部分、及びこれ以外の発光素子は正常に発光し、リーク電流に起因する発光不良を回避することができる。

【0013】発光層の層厚不良部3Aは、製造時において陽極2上に付着した埃、塵などにより形成される。発光不良を生じさせるリーク電流は、層厚不良部の厚さに加えて表示パネルの使用環境などに応じて駆動時間の経過に伴い発生する。図6は、アクティブマトリクス型表示パネルの1つの画素10に対応する回路構成の1例を示している。

【0014】図6において、FET(Field Effect Transistor)11(アドレス選択用トランジスタ)のゲートGは、アドレス信号が供給されるアドレス走査電極線

(走査ライン)に接続され、FET11のソースSはデータ信号が供給されるデータ電極線(データライン)に接続されている。FET11のドレインDはFET12(駆動用トランジスタ)のゲートGに接続され、キャパシタ13の一方の端子に接続されている。FET12のソースSはキャパシタ13の他方の端子と共に表示パネルに共通の陰極16に接続され、共通陰極16は接地されている。FET12のドレインDはEL素子15の陰極に接続され、EL素子15の陽極は表示パネル内のEL素子15に共通の陽極17に接続されている。

【0015】この回路の発光制御動作について述べると、まず、図6においてFET11のゲートGにオン電圧が供給されると、FET11はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。FET11のゲートGがオフ電圧であるとFET11はいわゆるカットオフとなり、FET11のドレインDはオープン状態となる。従って、FET11のゲートGがオン電圧の期間に、キャパシタ13は充電され、その電圧がFET12のゲートGに供給されて、FET12にはそのゲート電圧とソース電圧に基づいた電流がEL素子15を通じて流れ、EL素子15を発光せしめる。また、FET11のゲートGがオフ電圧になると、FET11はオープン状態となり、FET12はキャパシタ13に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで駆動電流を維持し、EL素子15の発光も維持される。尚、FET12のゲートGとソースSの間にはゲート入力容量が存在するのでキャパシタ13を設けなくとも上記と同様な動作が可能である。

【0016】アクティブマトリクス駆動により発光制御を行う表示パネルの1画素に対応する回路はこのように構成され、当該画素のEL素子15が駆動された場合に当該画素の発光が維持される。上記したように、アクティブマトリクス型表示パネルにおいては、各発光素子の発光制御はFET等の駆動素子を含む駆動回路を制御することによってなされる。

【0017】図7は、本発明の第1の実施例であるアクティブマトリクス型表示パネルを用いた有機EL表示装置20の構成を概略的に示している。図7において、アナログ/デジタル(A/D)変換器21は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換により得られたデジタル映像信号はA/D変換器21からフレームメモリ24へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ24に記憶される。

【0018】一方、有機EL表示装置20内の各部の制御をなす表示制御部26は、相異なる発光期間をパラメータとする複数のサブフィールドによって、上記フレームメモリ24に記憶されたデジタル映像信号データを、列アドレスカウンタ22及び行アドレスカウンタ23を用いて制御することにより、複数(すなわち、サブフィ

ールドの数)の階調表示データに変換し、それぞれ発光表示パネル30の画素のアドレスに対応する発光・非発光データと共に順次マルチプレクサ25に供給する。

【0019】また、表示制御部26は、マルチプレクサ25に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目(第1走査ライン)から順次画素の配列順にデータドライバ28が有するデータラッチ回路(図示しない)に保持させるように制御する。表示制御部26は、データラッチ回路によって順次保持された各サブフィールド毎の列データを、走査ライン毎に表示パネル30に供給すると共に、走査ドライバ27によって、対応する走査ラインに含まれるEL素子15を同時に発光させる。また、表示制御部26は計時装置(タイマ)を内部に有し、表示パネル30の共通陰極16及び共通陽極17に接続された逆電圧印加回路/電源部35を制御する。

【0020】図8に示すように、逆電圧印加回路/電源部35は、スイッチ回路、及びEL素子15に駆動電圧(+V_D)及び逆電圧(-V_B)を供給する電源を有し、表示制御部26の制御の下、各EL素子15への駆動電圧印加及び後述する逆電圧印加に関する制御をなす。尚、図9に示すように、本実施例においては、サブフィールド2ⁿ階調法(n=8)に基づいた方法により、輝度階調の制御がなされる。すなわち、入力映像信号における1フレーム期間を8個のサブフィールド(SF1~SF8)に分割し、各サブフィールド期間内における輝度(すなわち、各サブフィールド期間内における各EL素子15の発光期間:T1~T8)の相対比がそれぞれ順に1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256(すなわち、1/2¹~1/2⁸)、となるように設定され、それらのサブフィールドの選択的組合せにより256通りの輝度階調表示が可能のように制御される。

【0021】各EL素子15の発光制御は、各サブフィールド毎に行われる。すなわち、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関して行なわれる。表示パネル30の各EL素子15は、供給される各サブフィールドの各々に対し、所定の発光期間だけ発光制御され、1フレーム分の発光表示を多階調表示によって行うことができる。尚、かかるサブフィールド2ⁿ階調法を用いた画像表示装置は、例えば、本願と同一の出願人による特開平10-312173号公報に開示されている。

【0022】以下に、表示制御部26によって実行される表示制御及び逆電圧印加制御動作について、図10に示すタイムチャートを参照しつつ詳細に説明する。表示制御部26は、電圧印加回路/電源部35を制御して共通陽極17に駆動電圧(+V_D)を印加するとともに、第1サブフィールド(SF1)に対応する走査信号(書き込み信号)を、第1走査ラインから第n走査ラインに

順次送出して、線順次走査を行う。この第1サブフィールド期間において、各走査ラインのEL素子15はデータドライバ28内のデータラッチ回路から送出された映像信号データに応じて発光する。すなわち、発光を示すデータが供給されるアドレスのEL素子15が発光する。

【0023】表示制御部26は、全ての走査ラインに走査信号を送出し終えた時点（すなわち、アドレス期間の終了時点）から所定時間経過した時点で電圧印加回路／電源部35のスイッチを制御して共通陽極17に逆電圧（ $-V_B$ ）を印加する。所定の逆電圧印加期間（ T_b ）が経過の後、スイッチを逆電圧から駆動電圧に切替えて、再度EL素子15を発光せしめる。尚、この場合、逆電圧印加期間（ T_b ）は第1走査ラインの第2サブフィールドが開始する前、すなわち第1走査ラインに次の走査信号が送出される前に終了するように設けられる。

【0024】表示制御部26は、第1走査ラインの第1サブフィールド期間が終了した後、上記したのと同様にして第2サブフィールド（SF2）に対応する走査信号を、第1走査ラインから第n走査ラインに順次送出して、線順次走査を行う。尚、本実施例においては、逆電圧印加は第1サブフィールドのみに対して行っているもので、第2～第nサブフィールド（SF2～SFn）においては逆電圧印加はなされない。すなわち、1フレーム期間に対して、1つのサブフィールド期間においてのみ逆電圧印加が行われるように制御される。

【0025】上記したように、表示パネルの発光層に逆電圧を印加することによって、不良部分は取り除かれ、信頼度が高く良好な画像表示が可能なアクティブマトリクス型の表示装置を実現できる。上記した実施例においては、第1サブフィールド期間において逆電圧印加を行う場合を例に説明したが、第1サブフィールド期間に限らず、任意のサブフィールド期間において逆電圧印加を行ってもよい。また、1つのサブフィールドのみならず複数のサブフィールドに対して行ってもよい。更に、必ずしも1フレーム毎に逆電圧を印加する必要はなく、例えば数フレーム毎など、適宜逆電圧印加を行うようにしてもよい。

【0026】図11は、本発明の第2の実施例であるアクティブマトリクス型表示パネル30における逆電圧印加制御を模式的に示すタイムチャートである。本実施例が上記した実施例と異なるのは、輝度階調の制御方法としてサブフィールド階調法とは異なる方法を用いた場合である。例えば、このような方法の1例として、駆動FETの入力信号レベルを変えることによって階調制御を行う方法がある。サブフィールド法を用いない場合に対しても、本発明は適用が可能であり、図11に示すように、アドレス期間を除くフレーム期間内に任意に逆電圧印加期間を設けることができる。従って、逆電圧印加回路を制御することによって、逆電圧印加のタイミングの

みならず、印加期間の長さや印加する頻度も適宜調整することができる。

【0027】次に、図12を参照しつつ、本発明の第3の実施例について以下に説明する。図12は、EL素子15に逆電圧を印加するために設けられるリセット期間を示している。このリセット期間は、映像データの表示期間とは別に、すなわち映像表示を行わない期間に設けられる。本実施例において、表示制御部26はリセット期間内に駆動回路オン期間と駆動回路オン期間内に逆電圧印加期間を設定する。駆動回路オン期間は、各EL素子を駆動するFET等の駆動素子を含む駆動回路を導通させる期間である。また、逆電圧印加期間は上記実施例と同様に、共通陽極17が逆電圧（ $-V_B$ ）に接続されている期間である。従って、EL素子には、駆動回路オン期間及び逆電圧印加期間が重なる期間において電源部35から逆電圧が印加される。

【0028】本実施例において、表示制御部26は、所定のEL素子を駆動する駆動FET12を導通させるとともに共通陽極17を逆電圧に接続することによって当該所定のEL素子に逆電圧を印加し、これにより不良部分を取り除くことができる。リセット期間は、例えば、装置への電源投入時、入力映像チャネルの切替え時など画像表示に影響の無い任意の期間に設けることができる。また、1回のリセット期間において逆電圧が印加される所定のEL素子は、例えば、所定の走査ライン又はデータライン上のEL素子、もしくは表示パネル30内の全てのEL素子であってもよい。本実施例によれば、所望のタイミングで所望のEL素子に逆電圧を印加することができる。

【0029】尚、上記した実施例においては、陰極と陽極の間に発光層のみが形成されたEL素子を例に説明したが、発光層の他に電子輸送層、ホール輸送層等の機能層が形成された場合であっても本発明を適用することができる。また、上記した実施例においては、有機EL素子を用いた場合を例に説明したが、これに限らず他の表示素子、例えば無機EL素子等の表示素子を用いた場合にも適用が可能である。

【0030】更に、上記した実施例は例示であって、適宜様々に組み合わせて適用することができる。

【0031】

【発明の効果】上記したことから明らかなように、本発明によれば、信頼度が高く良好な画像表示が可能なアクティブマトリクス型の表示装置を実現できる。

【図面の簡単な説明】

【図1】EL素子の等価回路を示す図である。

【図2】EL素子の層構造を模式的に示す断面図である。

【図3】層厚不良部を有するEL素子部の層構造を模式的に示す断面図である。

【図4】図3に示すEL素子部に逆方向電圧を印加した

後の形状を模式的に示す断面図である。

【図5】図3に示すEL素子部に逆方向電圧を印加した後の形状を模式的に示す断面図である。

【図6】アクティブマトリクス型表示パネルの1つの画素に対応する回路構成の1例を示す図である。

【図7】本発明の第1の実施例であるアクティブマトリクス型表示パネルを用いた有機EL表示装置の構成を概略的に示す図である。

【図8】表示パネル、及び共通陰極、共通陽極に接続される電圧印加回路／電源部を模式的に示す図である。

【図9】サブフィールド法におけるフレーム期間、サブフィールド期間及びアドレス期間の関係を示す図である。

【図10】本発明の第1の実施例において、表示制御部によって実行される表示制御及び逆電圧印加制御動作を示すタイムチャートである。

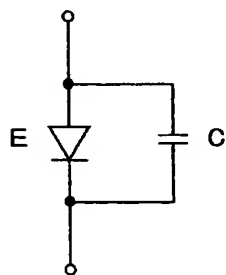
【図11】本発明の第2の実施例であるアクティブマトリクス型表示パネルにおける逆電圧印加制御を模式的に示すタイムチャートである。

【図12】映像表示期間以外に設けられる、駆動回路オン期間及び逆電圧印加期間を含むリセット期間を示す図である。

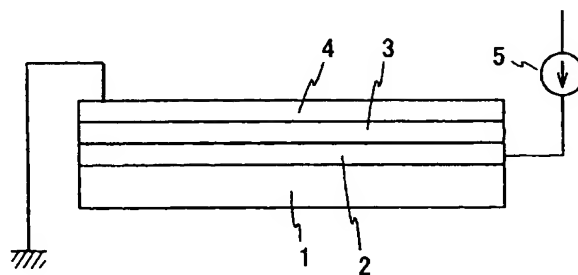
【主要部分の符号の説明】

- 1 透明基板
- 2 陽極（透明電極）
- 3 発光層
- 3A 層厚不良部
- 4 陰極（金属電極）
- 10 画素
- 11 アドレス選択用FET
- 12 駆動用FET
- 13 キャパシタ
- 15 発光素子
- 16 共通陰極
- 17 共通陽極
- 20 表示装置
- 21 A/D変換器
- 22 列アドレスカウンタ
- 23 行アドレスカウンタ
- 24 フレームメモリ
- 25 マルチプレクサ
- 26 表示制御部
- 27 走査ドライバ
- 28 データドライバ
- 30 表示パネル
- 35 逆電圧印加回路／電源部

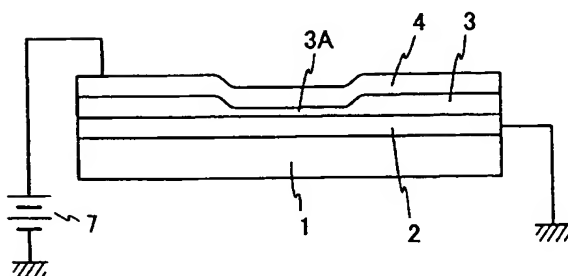
【図1】



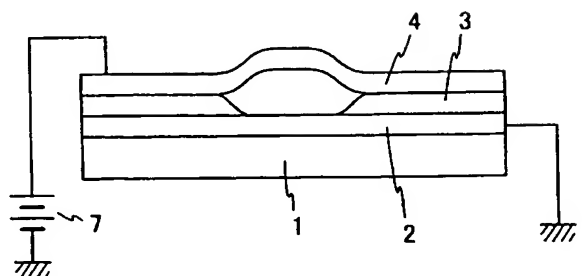
【図2】



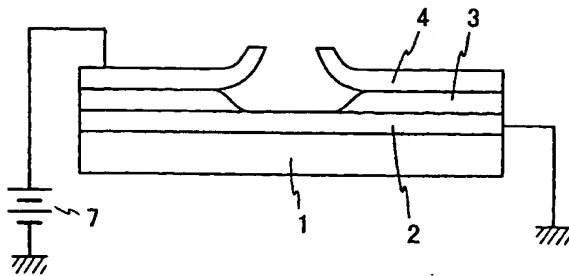
【図3】



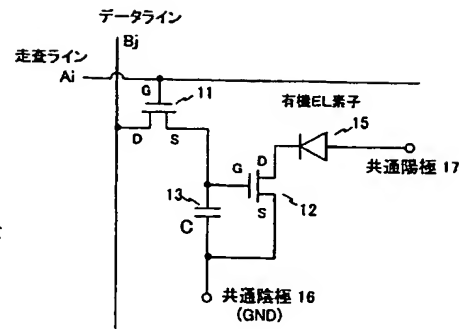
【図4】



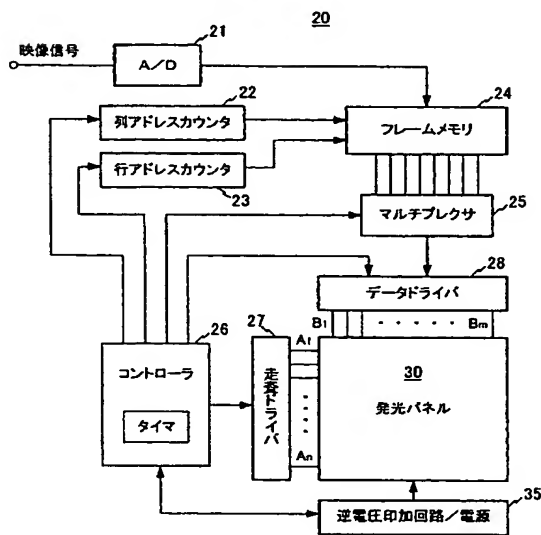
【図5】



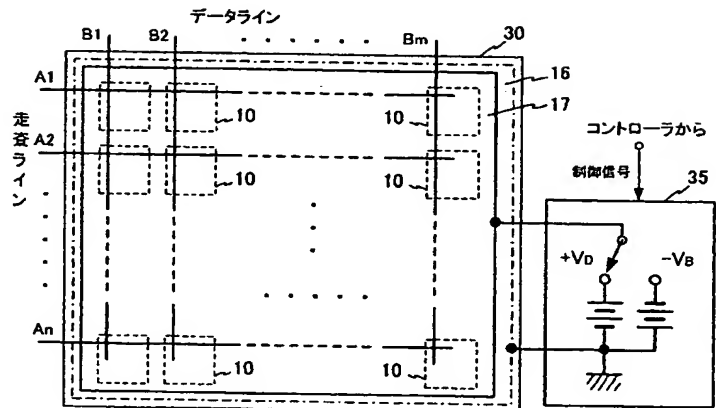
【図6】



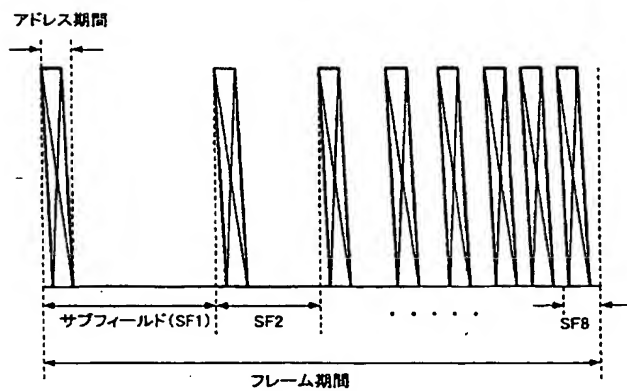
【図7】



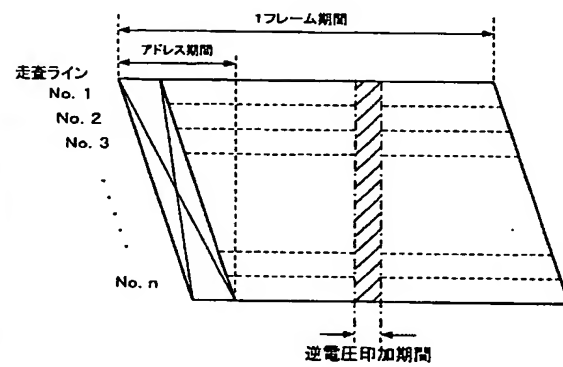
【図8】



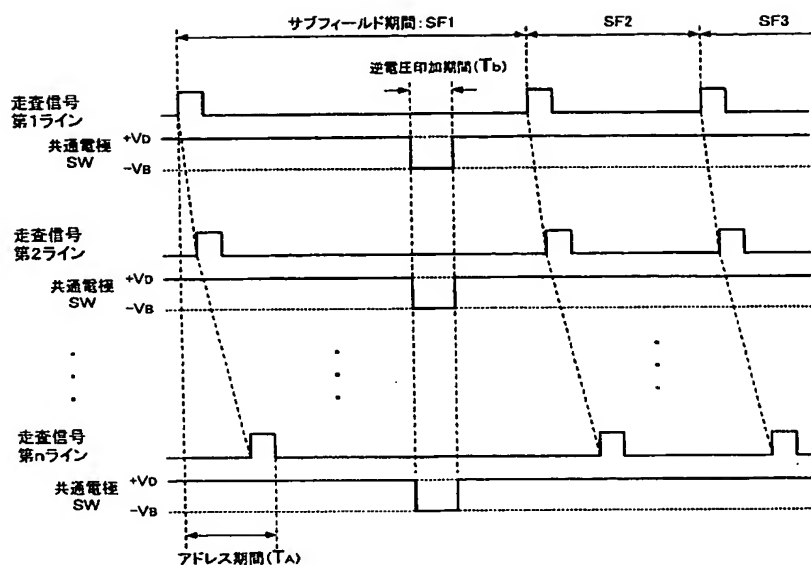
【図9】



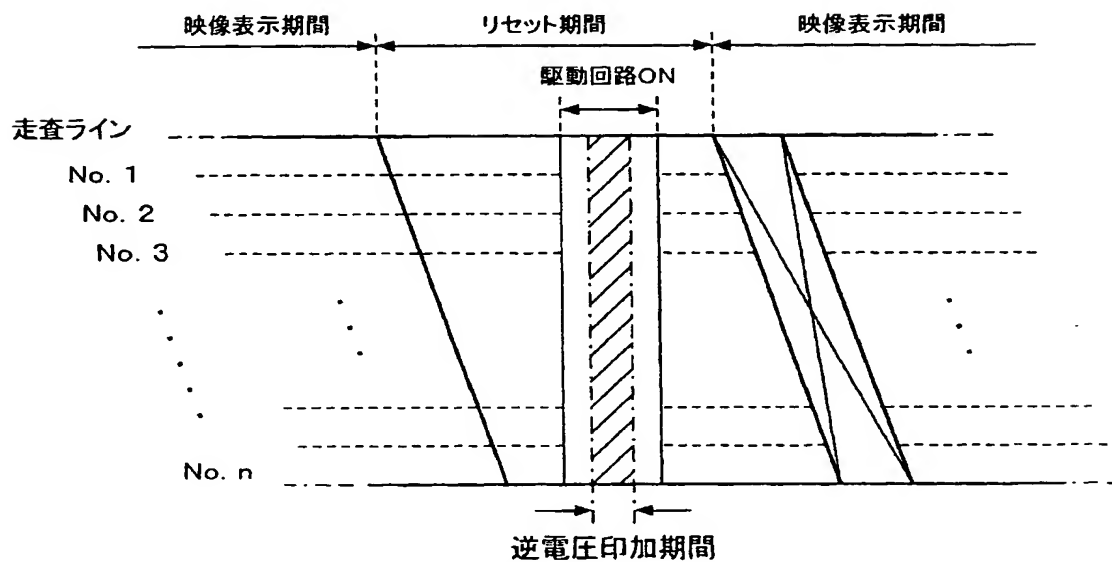
【図11】



【図10】



【図12】



フロントページの続き

(72)発明者 越智 英夫
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内
(72)発明者 宮口 敏
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

(72)発明者 土田 正美
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

Fターム(参考) 3K007 BA06 CB01 DA00 DB03 EB00
FA01 GA00 GA04
5C080 AA06 BB05 DD05 DD09 EE29
FF11 GG12 JJ02 JJ03 JJ04
JJ06
5C094 AA02 AA07 BA03 BA27 CA19
EA05